

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04024950 A

(43) Date of publication of application: 28.01.92

(51) Int. Cl

H01L 23/29**H01L 23/31**

(21) Application number: 02126025

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing: 15.05.90

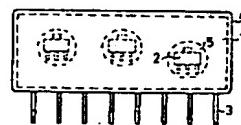
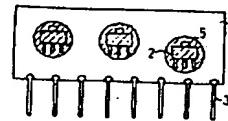
(72) Inventor: INOUE KAZUMI

(54) SEMICONDUCTOR DEVICE**(57) Abstract:**

PURPOSE: To prevent a crack of an inner Si chip of a surface mounting semiconductor by precoating the semiconductor and coating it with a sheath coat.

CONSTITUTION: After an SOT-89 type in which a surface mounting semiconductor 2 such as a collector lead is used as a heat sink is mounted on a thick film board 1 mainly made of ceramics, the semiconductor 2 is so covered with Si gel or other precoating material 5 such as having 300-1800CP of viscosity before curing and 60-120 of a penetration number after curing as to cover the entire surface, and cured. Thereafter, for example, it is coated with a sheath coat 4 made mainly of phenol epoxy resin.

COPYRIGHT: (C)1992,JPO&Japio



⑪ 公開特許公報 (A) 平4-24950

⑫ Int. Cl.³H 01 L 23/29
23/31

識別記号 廃内整理番号

⑬ 公開 平成4年(1992)1月28日

6412-4M H 01 L 23/30

審査請求 未請求 請求項の数 1 (全3頁)

B

⑭ 発明の名称 半導体装置

⑮ 特 願 平2-126025

⑯ 出 願 平2(1990)5月15日

⑰ 発明者 井上 和美 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑱ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

セラミックを主体とした厚膜基板に表面実装用半導体を実装した半導体装置において、前記表面実装用半導体全体を覆うようにプリコート材を塗布し、キュア後、前記プリコート材の上にフェノール系エポキシ樹脂による外装コートをコーティングしたことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、厚膜基板に実装された表面実装用半導体の内部チップのクラックを防止した半導体装置に関するものである。

〔従来の技術〕

第3図(a), (b)は従来のこの種の半導体装置を示す正面図および側断面図で、セラミックを主体とする厚膜基板1に表面実装用半導体2を実装後、直接第4図(a), (b)に示すように

外装コート4(主としてフェノール系エポキシ樹脂)で被覆していた。なお、3はリード端子である。

〔発明が解決しようとする課題〕

上記のように構成された従来の半導体装置は、表面実装用半導体2に直接外装コート4をコーティングしているので、表面実装用半導体2の内部Siチップに応力によりクラックが発生するなどの問題点があった。

この発明は、上記のような問題点を解決するためになされたもので、表面実装用半導体を覆うようにプリコート材を塗布することにより外装コート(フェノール系エポキシ樹脂)の影響をなくした半導体装置を得ることを目的とするものである。

〔課題を解決するための手段〕

この発明に係る半導体装置は、表面実装用半導体全体を覆うようにプリコート材を塗布し、キュア後、プリコート材の上にフェノール系エポキシ樹脂による外装コートをコーティングしたもの

である。

[作用]

この発明においては、表面実装用半導体にプリコートを施し、その上に外装コートをコーティングしたことから、表面実装用半導体の内部S iチップに外装コートによる応力がかからず、内部S iチップにクラックが入ることがない。

[実施例]

以下、この発明の一実施例を図面について説明する。

第1図、第2図はこの発明の半導体装置の一実施例を示す図で、第1図(a)、(b)はプリコートした状態の正面図および側断面図、第2図(a)、(b)はプリコートした後、その上に外装コートをコーティングした状態の正面図および側断面図である。

第1図(a)、(b)に示すように、セラミックを主体とした厚膜基板1に表面実装用半導体2(例えば、コレクタリードをヒートシンクとしたSOT-89タイプ)を実装後、表面実装用半導

体2の全体を覆うようにシリコンゴムなどのプリコート材(例えば、硬化前:粘度300~1800CP(25°C)、硬化後:針入度60~120(25°C))5を塗布しキュアーする。その後、第2図(a)、(b)に示すように、例えばフェノール系エポキシ樹脂を主体とした外装コート4をコーティングする。なお、3はリード端子である。

[発明の効果]

以上説明したように、この発明は、表面実装用半導体の全体を覆うようにプリコート材を塗布した後、外装コートをコーティングしたので、表面実装用半導体の内部S iチップのクラックの発生を防ぐことができる。

4. 図面の簡単な説明

第1図(a)、(b)はこの発明の半導体装置の一実施例を示す図で、第1図(a)は表面実装用半導体全体にプリコートした状態の正面図、第1図(b)は、第1図(a)の側断面図、第2図(a)、(b)はプリコートした上に外装コート

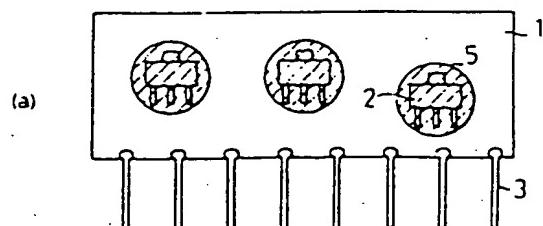
をコーティングした状態の正面図および側断面図、第3図(a)、(b)は従来の半導体装置の外装コートをコーティングする前の正面図および側断面図、第4図(a)、(b)は外装コートをコーティングした後の従来の半導体装置の正面図および側断面図である。

図において、1は厚膜基板、2は表面実装用半導体、3はリード端子、4は外装コート、5はプリコート材である。

なお、各図中の同一番号は同一または相当部分を示す。

代理人 大岩増雄(外2名)

第1図



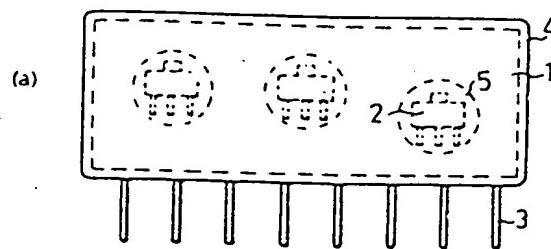
(a)



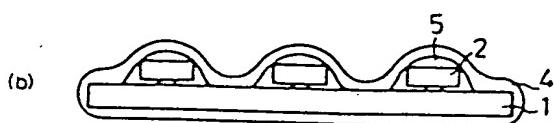
(b)

1 厚膜基板
2 表面実装用半導体
3 リード端子
5 プリコート材

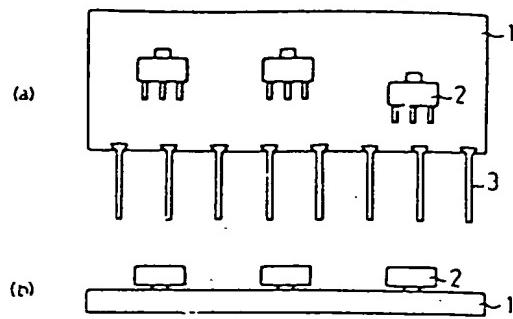
第 2 図



4: 外観コート



第 3 図



第 4 図

